

SIMULATION SYSTEM

Publication number: JP5035534 (A)

Publication date: 1993-02-12

Inventor(s): IWASAKI YOSHIHIRO

Applicant(s): MITSUBISHI ELECTRIC CORP

Classification:

- **international:** G06F11/28; G06F15/16; G06F15/177; G06F11/28; G06F15/16; (IPC1-7): G06F11/28; G06F15/16

- **European:**

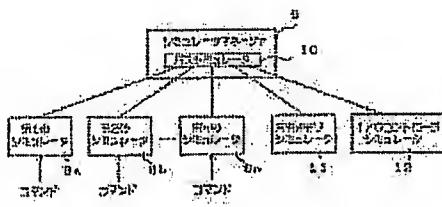
Application number: JP19910213105 19910731

Priority number(s): JP19910213105 19910731

Abstract of JP 5035534 (A)

PURPOSE: To simulate not only the individual operation of each CPU but the mutual operations among the CPUs by providing the simulators which simulate individually each CPU and a bus simulator which simulates the buses among the CPUs.

CONSTITUTION: The simulators 8a-8n are provided to simulate the operations of the CPUs forming a multiprocessor system together with a bus simulator 10 which simulates the buses set among the CPUs, and a simulator manager 9 which defines the mutual relations among the simulators 8a-8n and the relation between each of simulators 8a-8n and the simulator 10. Furthermore a common memory simulator 11 is added to simulate a common memory to which each CPU forming a multiprocessor system can have an access together with an I/O controller simulator 12 which simulates an I/O controller which controls each CPU for its access to an input device. In such a constitution, the mutual operations of the CPUs can be simulated.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-35534

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.⁵

G 0 6 F 11/28
15/16

識別記号 庁内整理番号
3 4 0 C 8725-5B
4 5 0 Z 9190-5L

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号

特願平3-213105

(22)出願日

平成3年(1991)7月31日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 岩崎 祥浩

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社通信機製作所内

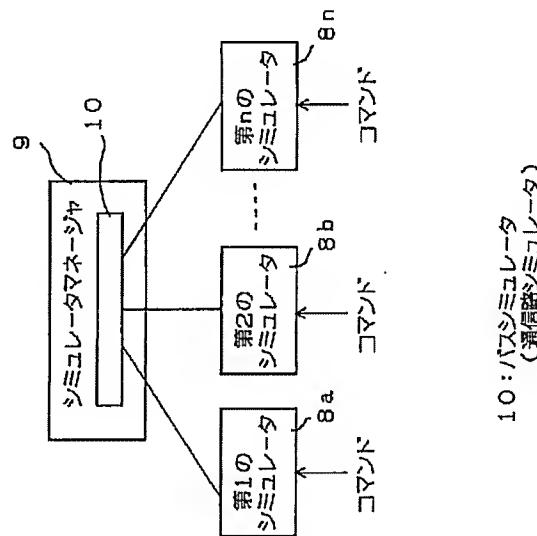
(74)代理人 弁理士 田澤 博昭 (外2名)

(54)【発明の名称】 シミュレーションシステム

(57)【要約】

【目的】 複数個のCPUの動作を並行してシミュレートするとともに、各CPU相互の関係動作についてもシミュレート可能にする。

【構成】 各CPU 1a～1nの動作をそれぞれ模擬する複数のシミュレータ 8a～8nとともに、各CPUの通信路3を模擬する通信路シミュレータ10を設け、前記各CPU相互の関係及び各CPUと通信路シミュレータとの関係を定義するシミュレータマネージャ9を備えたことを特徴としている。



【特許請求の範囲】

【請求項1】 マルチプロセッサシステムを構成している各CPUの動作をそれぞれ模擬する複数のシミュレータと、前記各CPU間の通信路を模擬する通信路シミュレータと、前記各シミュレータを起動させるとともに、各シミュレータ相互の関係及び各シミュレータと前記通信路シミュレータとの関係を定義するシミュレータマネージャとを備えたシミュレーションシステム。

【請求項2】 マルチプロセッサシステムを構成している各CPUがアクセス可能な共有メモリを模擬する共有メモリシミュレータと、前記各CPUが入出力装置をアクセスするためのI/Oコントローラを模擬するI/Oコントローラシミュレータとを備えた請求項1記載のシミュレーションシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、複数個のCPUから構成されるマルチプロセッサシステムのソフトウェア開発に対応して、該ソフトウェアの動作確認及びデバック等を行うシミュレーションシステムに関するものである。

【0002】

【従来の技術】図6は一般的なマルチプロセッサシステムの構成を示すブロック図であり、図において、1a～1nはそれぞれ演算を行う第1～第nのCPU(CPUボードを含む)、2は前記第1～第nのCPU1a～1nからのバスアクセスを調停するバスコントローラ、3はデータ転送するための通信路としてのバス、4は前記第1～第nのCPU1a～1nが前記バス3を介してアクセス可能な共有メモリ、5は前記第1～第nのCPU1a～1nが前記バス3を介して外部とのデータ授受を行うためのI/Oコントローラ、6a, 6bはキーボード、ディスク装置等の第1及び第2の入出力装置である。

【0003】また、図7は図6に示すマルチプロセッサシステムを模擬する従来のシミュレーションシステムの構成を示すブロック図であり、各CPU1a～1nは第1～第nのファイル7a～7nをそれぞれ有する第1～第nのシミュレータ8a～8nによって個別に模擬される。

【0004】次に動作について説明する。第1～第nのシミュレータ8a～8nはそれぞれが有する第1～第nのファイル7a～7nから模擬する各CPU1a～1nに対応したプログラムを読み込み、キーボード等からコマンドを入力することでシミュレーションを実行する。また、各シミュレータ8a～8n内の情報を保存する場合も同様に、キーボード等から該当するコマンドを入力し、前記各ファイル7a～7nに書き込みを行う。

【0005】

【発明が解決しようとする課題】従来のシミュレーショ

ンシステムは以上のように構成されているので、各CPUの動作を個別にシミュレートすることができず、複数個のCPUから構成されるマルチプロセッサシステムを模擬する場合、各CPU相互の関係動作についてはシミュレートできないなどの問題点があった。

【0006】この発明は上記のような問題点を解消するためになされたもので、複数個のCPUの動作を並行してシミュレートするとともに、各CPU相互の関係動作についてシミュレートできるシミュレーションシステムを得ることを目的とする。

【0007】

【課題を解決するための手段】請求項1の発明に係るシミュレーションシステムは、マルチプロセッサシステムを構成する複数個のCPUの動作を模擬する複数のシミュレータとともに、各CPU間の通信路を模擬する通信路シミュレータを設け、該各シミュレータ相互の関係及び各シミュレータと通信路シミュレータとの関係を定義するシミュレータマネージャを備えたものである。

【0008】また、請求項2の発明に係るシミュレーションシステムは、前記請求項1の発明に係るシミュレーションシステムにおいて、さらに、各CPUがアクセス可能な共有メモリを模擬する共有メモリシミュレータと、各CPUが入出力装置をアクセスするためのI/Oコントローラを模擬するI/Oコントローラシミュレータを備えたものである。

【0009】

【作用】請求項1の発明におけるシミュレーションシステムは、各CPUをそれぞれ個別に模擬するシミュレータのほかに、各CPU間の通信路を模擬する通信路シミュレータを設けたので、各CPU相互の動作を模擬することができる。

【0010】また、請求項2の発明におけるシミュレーションシステムは、さらに、共有メモリを模擬する共有メモリシミュレータ、及びI/Oコントローラを模擬するI/Oコントローラシミュレータを設けたので、マルチプロセッサシステムの全体動作を模擬することができる。

【0011】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1は請求項1の発明の一実施例によるシミュレーションシステムの構成を示すブロック図であり、従来のシミュレーションシステム(図7)と同一又は相当部分には同一符号を付して説明を省略する。

【0012】図において、10はマルチプロセッサシステム(図6)を構成する各CPU1a～1n間の通信路をコントロール機能も含めて模擬する通信路シミュレータであり、この実施例では通信路としてバス3及びバスコントローラ2を使用していることから、以下、バスシミュレータという。また、9は第1～第nのシミュレー

タ8a～8n相互の関係、及び各シミュレータと前記バスシミュレータ10との関係を定義するシミュレータマネージャである。

【0013】次に動作について図2及び図3のフローチャートを用いて説明する。まず、シミュレータマネージャ9が起動されると(図2)、実際の第1～第nのCPU1a～1nの定義としてCPU(CPUボードを含む)設定を行い(ステップST1)、実際のバス3の定義としてバス設定を行う(ステップST2)。そして、該CPU設定及びバス設定で決められた内容に基づいて、第1～第nのCPU1a～1nの動作をそれぞれ個別に模擬する第1～第nのシミュレータ8a～8nとバス3の動作を模擬するバスシミュレータ10間での関係を定義して該各シミュレータ8a～8nを起動させ(ステップST3)、最後に、第1～第nのシミュレータ8a～8nを操作し、実際のシミュレーションを実行する。

【0014】次に、例えば第1のシミュレータ8a(送信元シミュレータ)から第2のシミュレータ8b(送信先シミュレータ)へデータを送信する場合(図3)は、まず第1のシミュレータ8aでバスアクセス要求が発生すると、この第1のシミュレータ8aはバスシミュレータ10へバスアクセスが可能か否かを問い合わせる(ステップST5)。これに対して、バスシミュレータ10はバスアクセス可能か否かを判断し(ステップST6)、もし不可であれば、該第1のシミュレータ8aに「アクセス不可」を返送することで(ステップST7)、しばらく待機させ、再度ステップST5の動作を行わせる(ステップST8)。一方、もし可能であれば、バスシミュレータ10は第1のシミュレータ8aに対して「アクセス可」を返送するとともに「アクセス不可」を設定する(ステップST9)。これにより、「アクセス可」の通知を受け取った第1のシミュレータ8aが(ステップST10)、前記バスシミュレータ10に対してデータを転送すると(ステップST11)、さらに、該バスシミュレータ10は送信先を判定して該当する第2のシミュレータ8bにデータ転送を行う(ステップST12)。そして、このデータを受け取った第2のシミュレータ8bが(ステップST13)、「受け取り完了」の通知をバスシミュレータ10に対して送信すると(ステップST14)、該バスシミュレータ10は送信元である第1のシミュレータ8aに対して該通知を転送するとともに(ステップST15)、「バスアクセス可」を設定する(ステップST16)。そして、前記送信元である第1のシミュレータ8aが第2のシミュレータ8bからの「受け取り完了」の通知を受信してデータ転送動作を終了する(ステップST17)。

【0015】ここで、さらに第nのシミュレータ8nがバスアクセスを要求した場合、前記ステップST5と同じくバスシミュレータ10へ問い合わせを行い、該バスシ

ミュレータ10でバスアクセスが可能か否かを判断するが(ステップST6に相当)、もしバスシミュレータ10内で「アクセス不可」が設定されていればその旨が前記第nのシミュレータ8nに通知され(ステップST7に相当)、一定時間待機しながら「アクセス可」の通知を受けるまで同様の動作を繰り返す(ステップST8)。

【0016】なお、上記実施例では第1～第nのシミュレータ8a～8nが同一計算機上で並行してシミュレートする場合について説明したが、各シミュレータ8a～8nがネットワークで接続された異なる計算機上にあり、該ネットワークを介してバスシミュレータ10にアクセスする場合も同様の効果を奏する。

【0017】また、上記実施例では通信路としてバス3の例を説明したが、バス以外の通信路であっても同様の効果を奏する。

【0018】また、上記実施例ではバスシミュレータ10をシミュレータマネージャ9の内部に持たせているが、該シミュレータマネージャ9の外部にあっても同様の効果を奏する。

【0019】実施例2。次に、請求項2の発明の一実施例によるシミュレータシステムについて説明する。なお、この実施例は、図4に示すように請求項1の発明の一実施例によるシミュレーションシステムに、各CPU1a～1nがアクセス可能な共有メモリ4を模擬する共有メモリシミュレータ11、及びI/Oコントローラ5を模擬するI/Oコントローラシミュレータ12を附加したものである。

【0020】次にこの請求項2の発明の動作について図5のフローチャートを用いて説明する。まず、シミュレータマネージャ9が起動されると、実際の第1～第nのCPU1a～1nの定義としてCPU(CPUボードを含む)設定を行い(ステップST18)、実際のバス3の定義としてバス設定を行うとともに(ステップST19)、共有メモリ4の定義として共有メモリ設定(ステップST20)、及びI/Oコントローラ5の定義としてI/Oコントローラ設定を行う(ステップST21)。そして該CPU設定、バス設定、共有メモリ設定、及びI/Oコントローラ設定で決められた内容に基づいて、各第1～第nのシミュレータ8a～8n、バスシミュレータ10、共有メモリシミュレータ11、及びI/Oコントローラシミュレータ12間の関係を定義して該各シミュレータ8a～8nを起動させ(ステップST22)、最後に、第1～第nのシミュレータ8a～8nを操作し、実際のシミュレーションを実行する。

【0021】なお、バスアクセスの動作については、各シミュレータ8a～8n間では前述した第1の実施例の動作(図3)と同様であり、各シミュレータ8a～8nと共有メモリシミュレータ11あるいはI/Oコントローラシミュレータ12との関係では、該共有メモリシミュレータ11及びI/Oコントローラシミュレータ12

が送信元シミュレータにならない点を除けば第1の実施例と同様に動作する。

【0022】

【発明の効果】以上のように、請求項1の発明によれば各CPUを個別に模擬するシミュレータとともに、各CPU間の通信路を模擬する通信路シミュレータを設けたので、各CPU単独の動作だけでなく、各CPU相互間の動作もシミュレートすることができ、さらに、請求項2の発明によれば共有メモリシミュレータ及びI/Oコントローラシミュレータを付加したので全体動作のシミュレートができ、デバック等が容易に行える効果がある。

【図面の簡単な説明】

【図1】請求項1の発明の一実施例によるシミュレーションシステムの構成を示すブロック図である。

【図2】請求項1の発明の一実施例によるシミュレーションシステムの動作を説明するフローチャートである。

【図3】請求項1及び請求項2の発明の一実施例によるシミュレーションシステムの動作を説明するフローチャートである。

【図4】請求項2の発明の一実施例によるシミュレーションシステムの構成を示すブロック図である。

【図5】請求項2の発明の一実施例によるシミュレーションシステムの動作を説明するフローチャートである。

【図6】一般的なマルチプロセッサシステムの構成を示すブロック図である。

【図7】従来のシミュレーションシステムの構成を示すブロック図である。

【符号の説明】

1 a～1 n 第1～第nのCPU

3 バス(通信路)

4 共有メモリ

5 I/Oコントローラ

6 a～6 b 第1及び第2の入出力装置

8 a～8 n 第1～第nのシミュレータ

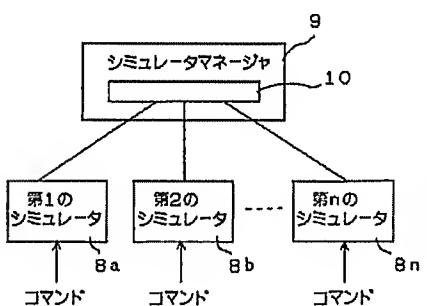
9 シミュレータマネージャ

10 バスシミュレータ(通信路シミュレータ)

11 共有メモリシミュレータ

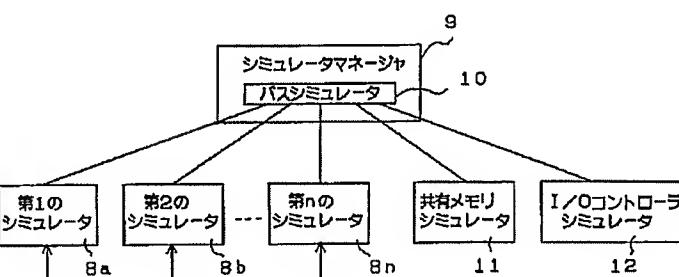
12 I/Oコントローラシミュレータ

【図1】

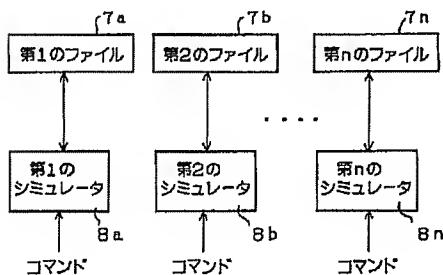


10 : バスシミュレータ
(通信路シミュレータ)

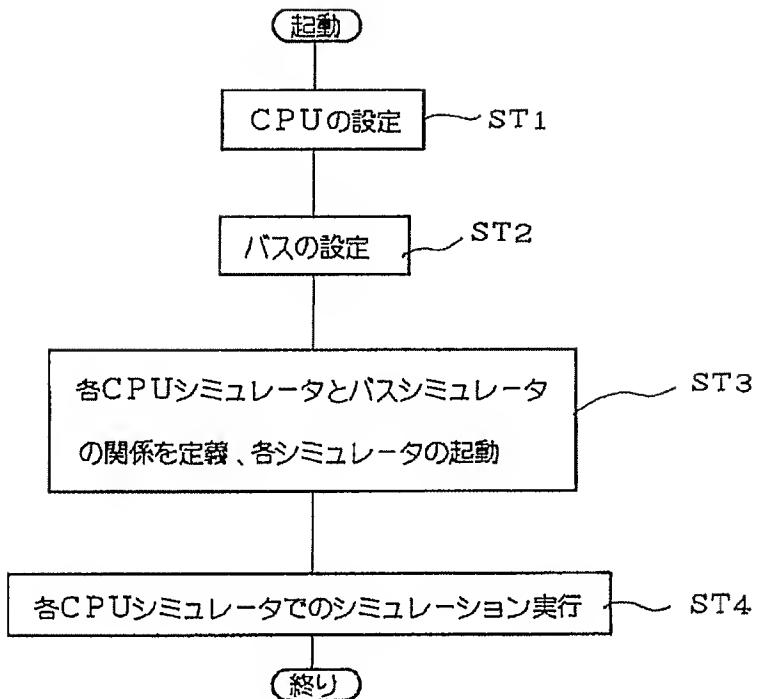
【図4】



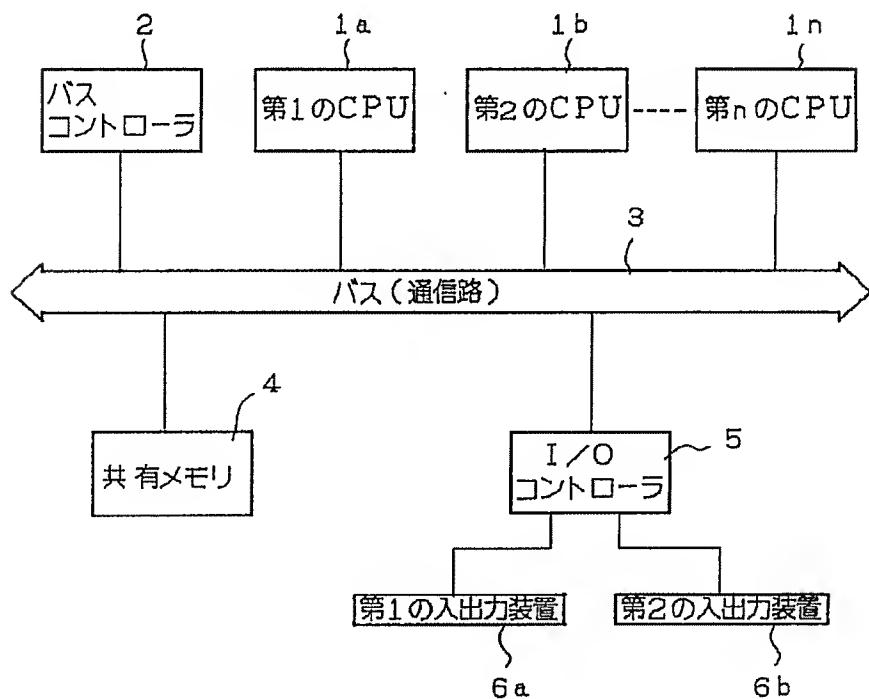
【図7】



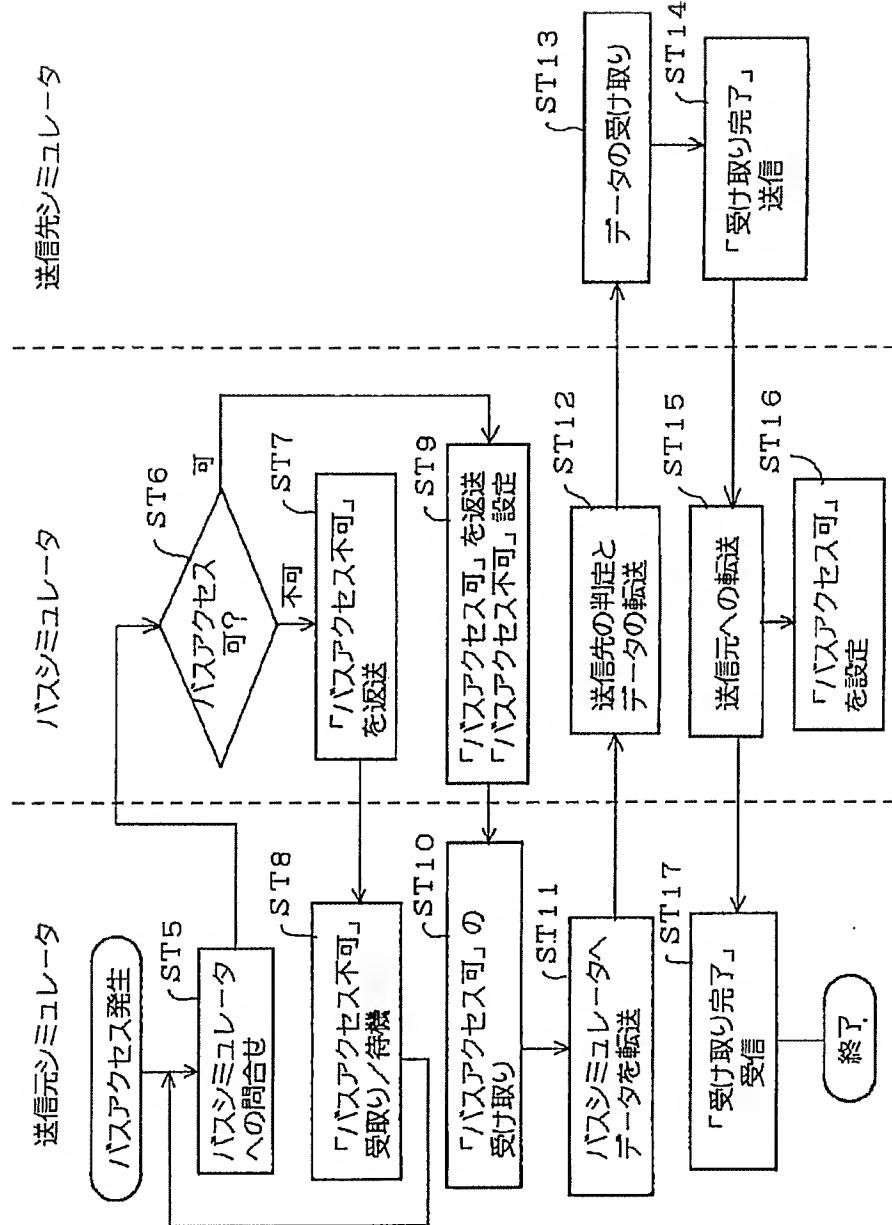
【図2】



【図6】



【図3】



【図5】

